

AN

DIALOG(R)File 352:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

014245216 **Image available**

WPI Acc No: 2002-065916/200209

XRAM Acc No: C02-019504

XRPX Acc No: N02-048988

Semiconductor device e.g. personal computer, has thin film transistor comprising semiconductor layer, insulating film and gate electrode, projected portions on insulating surface, interlayer insulating film, and pixel electrode

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Inventor: ONO K; SUZAWA H; YAMAZAKI S

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20010035526	A1	20011101	US 2001841537	A	20010424	200209 B
JP 2002014337	A	20020118	JP 2001129202	A	20010426	200211

Priority Applications (No Type Date): JP 2000128526 A 20000427

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
US 20010035526	A1	50	H01L-031/36	
JP 2002014337	A	29	G02F-001/1335	

Abstract (Basic): US 20010035526 A1

NOVELTY - A semiconductor device e.g. personal computer comprises a thin film transistor having a semiconductor layer on an insulating surface, an insulating film and a gate electrode. Projected portions are provided on the insulating surface. An interlayer insulating film covers the thin film transistor and the projected portions, and a pixel electrode is electrically connected to the thin-film transistor.

DETAILED DESCRIPTION - A semiconductor device e.g. personal computer consists of a thin film transistor (TFT), projected portions (701, 702), an interlayer insulating film, and a pixel electrode (169). The TFT comprises a semiconductor layer on an insulating surface, an insulating film on the semiconductor layer and a gate electrode on the insulating film. The projected portions are provided on the insulating surface. The interlayer insulating film covers the TFT and the projected portions, and has a projected and recessed surface. The pixel electrode is electrically connected to the TFT, has projected, and recessed surface.

An INDEPENDENT CLAIM is also included for a method of fabricating the semiconductor device.

USE - As semiconductor device e.g. personal computer, video camera, mobile computer, portable telephone, goggle-type display, digital camera, portable electronic book, or reflection-type liquid crystal display device (claimed).

ADVANTAGE - The provision of projected portions prevents mirror face reflection of a reflection electrode and achieves light-scattering

performance.

DESCRIPTION OF DRAWING(S) - The figure is a sectional view of an active matrix type liquid crystal display device.

Pixel electrode (169)

Projected portions (701, 702)

pp; 50 DwgNo 4/30

Title Terms: SEMICONDUCTOR; DEVICE; PERSON; COMPUTER; THIN; FILM;

TRANSISTOR; COMPRISE; SEMICONDUCTOR; LAYER; INSULATE; FILM; GATE;

ELECTRODE; PROJECT; PORTION; INSULATE; SURFACE; INTERLAYER; INSULATE;

FILM; PIXEL; ELECTRODE

Derwent Class: L03; U14

International Patent Class (Main): G02F-001/1335; H01L-031/36

International Patent Class (Additional): G02F-001/1368; H01L-021/3205;

H01L-021/336; H01L-029/786

File Segment: CPI; EPI

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-14337

(P2002-14337A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl. ⁷	識別記号	F I	7-コード*(参考)
G 0 2 F 1/1335	5 2 0	G 0 2 F 1/1335	5 2 0 2 H 0 9 1
1/1368		1/1368	2 H 0 9 2
H 0 1 L 21/3205		H 0 1 L 29/78	6 1 2 D 5 F 0 3 3
21/336		21/88	A 5 F 1 1 0
29/786			

審査請求 未請求 請求項の数24 O L (全 29 頁)

(21) 出願番号 特願2001-129202 (P2001-129202)
(22) 出願日 平成13年4月26日 (2001.4.26)
(31) 優先権主張番号 特願2000-128526 (P2000-128526)
(32) 優先日 平成12年4月27日 (2000.4.27)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 須沢 英臣
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 小野 幸治
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

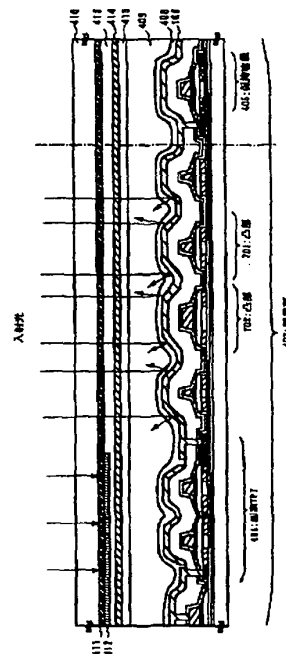
最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 本発明は、アクティブマトリクス基板の作製工程を増やすことなく、反射電極の鏡面反射を防ぐ凸凹を形成する手段を提供することを課題とする。

【解決手段】 本発明は、反射型の液晶表示装置に用いるアクティブマトリクス基板の作製方法において、画素電極（反射電極）の表面に凹凸を持たせて光散乱性を図るための凸部701、702の形成をTFTの形成と同じフォトリソでパターニングを行い、画素電極169の表面に凸凹を形成する。



【特許請求の範囲】

【請求項1】絶縁表面上に半導体層と、前記半導体層上の絶縁膜と、前記絶縁膜上のゲート電極とを含むTFTと、

前記絶縁表面上に複数の凸部と、

前記TFT及び前記凸部を覆い、且つ、凸凹の表面を有する層間絶縁膜と、

前記層間絶縁膜上に、前記TFTと電気的に接続され、且つ、凸凹の表面を有する画素電極と、を有することを特徴とする半導体装置。

【請求項2】絶縁表面上に半導体層と、前記半導体層上の絶縁膜と、前記絶縁膜上のゲート電極とを含むTFTと、

前記絶縁表面上に複数の凸部と、

前記凸部と接し、且つ、凸凹の表面を有し、且つ、前記TFTと電気的に接続された画素電極と、を有することを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、前記凸部は、前記TFTの半導体層と同じ材料で形成された材料層と、前記TFTの絶縁膜と同じ材料で形成された材料層と、前記TFTのゲート電極と同じ材料で形成された材料層との積層物であることを特徴とする半導体装置。

【請求項4】請求項1または請求項2において、前記凸部は、前記TFTの絶縁膜と同じ材料で形成された材料層と、前記TFTのゲート電極と同じ材料で形成された材料層との積層物であることを特徴とする半導体装置。

【請求項5】請求項1または請求項2において、前記凸部は、前記TFTのゲート電極と同じ材料で形成された材料層であることを特徴とする半導体装置。

【請求項6】請求項1乃至5のいずれかにおいて、前記複数の凸部のうち、少なくとも高さが異なる凸部を有することを特徴とする半導体装置。

【請求項7】請求項1乃至6のいずれかにおいて、前記複数の凸部のうち、少なくとも構造が異なる凸部を有することを特徴とする半導体装置。

【請求項8】請求項1乃至7のいずれかにおいて、前記半導体装置は、前記画素電極がA1またはAgを主成分とする膜、またはそれらの積層膜からなる反射型の液晶表示装置であることを特徴とする半導体装置。

【請求項9】請求項1乃至8のいずれかにおいて、第1の着色層と第2の着色層の積層からなる第1の遮光部と、前記第1の着色層と第3の着色層の積層からなる第2の遮光部とを有し、

前記第1の遮光部及び前記第2の遮光部は、任意の画素電極と、該画素電極と隣合う画素電極との間に重なって形成されていることを特徴とする半導体装置。

【請求項10】請求項9において、前記第1の遮光部の反射光量と前記第2の遮光部の反射光量は、それぞれ異

なることを特徴とする半導体装置。

【請求項11】請求項9または請求項10において、前記第1の着色層は赤色であることを特徴とする半導体装置。

【請求項12】請求項9乃至11のいずれかにおいて、前記第2の着色層は青色であることを特徴とする半導体装置。

【請求項13】請求項9乃至12のいずれかにおいて、前記第3の着色層は緑色であることを特徴とする半導体装置。

【請求項14】請求項9乃至13のいずれかにおいて、前記第1の遮光部および前記第2の遮光部は、対向基板に設けられていることを特徴とする半導体装置。

【請求項15】請求項1乃至14のいずれかにおいて、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスプレイ、または電子遊技機器である。

【請求項16】絶縁表面上に半導体層と、前記半導体層上の絶縁膜と、前記絶縁膜上のゲート電極とを含むTFTと、

前記絶縁膜上に複数の凸部と、

前記TFT及び前記凸部を覆い、且つ、凸凹の表面を有する層間絶縁膜と、

前記層間絶縁膜上に、前記TFTと電気的に接続され、且つ、凸凹の表面を有する画素電極と、を有することを特徴とする半導体装置。

【請求項17】絶縁表面上に半導体層と、前記半導体層上の絶縁膜と、前記絶縁膜上のゲート電極とを含むTFTと、

前記絶縁膜上に複数の凸部と、

前記凸部と接し、且つ、凸凹の表面を有し、且つ、前記TFTと電気的に接続された画素電極と、を有することを特徴とする半導体装置。

【請求項18】請求項16または請求項17において、前記凸部は、前記TFTのゲート電極と同じ材料で形成された材料層であることを特徴とする半導体装置。

【請求項19】絶縁表面上に半導体層を形成する工程と、

前記半導体層上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に前記半導体層と重なる導電層を形成して、前記半導体層と前記第1の絶縁膜と前記導電層との積層構造からなる凸部を形成する工程と、

前記凸部を覆う第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に画素電極を形成する工程とを有し、

前記画素電極は前記凸部と重なり、表面に凸凹を有していることを特徴とする半導体装置の作製方法。

【請求項20】絶縁表面上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に導電層を形成して、前記第1の絶縁膜と前記導電層との積層構造からなる凸部を形成する工程と、

前記凸部を覆う第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に画素電極を形成する工程とを有し、

前記画素電極は前記凸部と重なり、表面に凸凹を有していることを特徴とする半導体装置の作製方法。

【請求項21】絶縁表面上に導電層を形成して、前記導電層からなる凸部を形成する工程と、

前記凸部を覆う絶縁膜を形成する工程と、

前記絶縁膜上に画素電極を形成する工程とを有し、

前記画素電極は前記凸部と重なり、表面に凸凹を有していることを特徴とする半導体装置の作製方法。

【請求項22】請求項19乃至21のいずれかにおいて、前記半導体装置は、前記画素電極がAlまたはAgを主成分とする膜、またはそれらの積層膜からなる反射型の液晶表示装置であることを特徴とする半導体装置の作製方法。

【請求項23】請求項19乃至22のいずれかにおいて、前記凸部と同じ工程でTFTを形成することを特徴とする半導体装置の作製方法。

【請求項24】請求項19乃至23のいずれかにおいて、前記画素電極は、凸部と同じ工程で形成されたTFTと接続していることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】液晶表示装置において、高品位な画像を得るために、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子としてTFTを用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【0005】アクティブマトリクス型液晶表示装置には

大きく分けて透過型と反射型の二種類のタイプが知られている。

【0006】特に、反射型の液晶表示装置は、透過型の液晶表示装置と比較して、バックライトを使用しないため、消費電力が少ないといった長所を有しており、モバイルコンピュータやビデオカメラ用の直視型表示ディスプレイとしての需要が高まっている。

【0007】なお、反射型の液晶表示装置は、液晶の光学変調作用を利用して、入射光が画素電極で反射して装置外部に出力される状態と、入射光が装置外部に出力されない状態とを選択し、明と暗の表示を行わせ、さらにそれらを組み合わせることで、画像表示を行うものである。一般に反射型の液晶表示装置における画素電極は、アルミニウム等の光反射率の高い金属材料からなり、薄膜トランジスタ（以下、TFTと呼ぶ）等のスイッチング素子に電気的に接続している。

【0008】また、液晶表示装置においては、アモルファスシリコンまたはポリシリコンを半導体としたTFTをマトリクス状に配置して、各TFTに接続された画素電極とソース線とゲート線とがそれぞれ形成された素子基板と、これに対向配置された対向電極を有する対向基板との間に液晶材料が挟持されている。また、カラー表示するためのカラーフィルタは対向基板に貼りつけられている。そして、素子基板と対向基板にそれぞれ光シャッタとして偏光板を配置し、カラー画像を表示している。

【0009】

【発明が解決しようとする課題】反射型の液晶表示装置において、従来では、画素電極を形成した後、サンドブラスト法やエッチング法等の工程を追加して表面を凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させていた。

【0010】本発明では、工程を増やすことなく、反射電極の鏡面反射を防ぐ凸凹を形成する。

【0011】

【課題を解決するための手段】本発明では、反射型の液晶表示装置の作製方法において、画素電極の表面に凹凸を持たせて光散乱性を図るための凸部の形成をTFTの形成と同じフォトリソグラフィで行うことを特徴とする。なお、この凸部は配線及びTFT部以外の画素部領域の基板上に適宜設ける。そして、凸部を覆う絶縁膜の表面に形成された凸凹に沿って画素電極の表面に凸凹が形成される。

【0012】本明細書で開示する発明の構成は、絶縁表面上に半導体層と、前記半導体層上の絶縁膜と、前記絶縁膜上のゲート電極とを含むTFTと、前記絶縁表面上に複数の凸部と、前記TFT及び前記凸部を覆い、且つ、凸凹の表面を有する層間絶縁膜と、前記層間絶縁膜上に、前記TFTと電気的に接続され、且つ、凸凹の表面を有する画素電極と、を有することを特徴とする半導

体装置である。

【0013】また、少なくともTFTのゲート電極を覆う絶縁膜を形成し、該絶縁膜と覆われていない凸部と接して画素電極を形成してもよく、他の発明の構成は、絶縁表面上に半導体層と、前記半導体層上の絶縁膜と、前記絶縁膜上のゲート電極とを含むTFTと、前記絶縁表面上に複数の凸部と、前記凸部と接し、且つ、凸凹の表面を有し、且つ、前記TFTと電気的に接続された画素電極と、を有することを特徴とする半導体装置である。

【0014】上記各構成において、前記凸部は、前記TFTの半導体層と同じ材料で形成された材料層と、前記TFTの絶縁膜と同じ材料で形成された材料層と、前記TFTのゲート電極と同じ材料で形成された材料層との積層物であることを特徴としている。

【0015】また、上記各構成において、前記凸部は、前記TFTの絶縁膜と同じ材料で形成された材料層と、前記TFTのゲート電極と同じ材料で形成された材料層との積層物であることを特徴としている。

【0016】また、半導体層上の絶縁膜上に凸部を形成し、該凸部を覆う層間絶縁膜を形成して、該層間絶縁膜の表面の凸凹に沿った凸凹の表面を有する画素電極を形成してもよく、他の発明の構成は、絶縁表面上に半導体層と、前記半導体層上の絶縁膜と、前記絶縁膜上のゲート電極とを含むTFTと、前記絶縁膜上に複数の凸部と、前記TFT及び前記凸部を覆い、且つ、凸凹の表面を有する層間絶縁膜と、前記層間絶縁膜上に、前記TFTと電気的に接続され、且つ、凸凹の表面を有する画素電極と、を有することを特徴とする半導体装置である。

【0017】また、半導体層上の絶縁膜上に凸部を形成し、該凸部に接して凸凹の表面を有する画素電極を形成してもよく、他の発明の構成は、絶縁表面上に半導体層と、前記半導体層上の絶縁膜と、前記絶縁膜上のゲート電極とを含むTFTと、前記絶縁膜上に複数の凸部と、前記凸部と接し、且つ、凸凹の表面を有し、且つ、前記TFTと電気的に接続された画素電極と、を有することを特徴とする半導体装置である。

【0018】また、上記各構成において、前記凸部は、前記TFTのゲート電極と同じ材料で形成された材料層であることを特徴としている。

【0019】また、上記各構成において、前記複数の凸部のうち、少なくとも高さが異なる凸部を有することを特徴としている。

【0020】また、上記各構成において、前記複数の凸部のうち、少なくとも構造が異なる凸部を有することを特徴としている。

【0021】また、上記各構成において、前記半導体装置は、前記画素電極がA1またはAgを主成分とする膜、またはそれらの積層膜からなる反射型の液晶表示装置であることを特徴としている。

【0022】また、上記各構成において、第1の着色層

と第2の着色層の積層からなる第1の遮光部と、前記第1の着色層と第3の着色層の積層からなる第2の遮光部とを有し、前記第1の遮光部及び前記第2の遮光部は、任意の画素電極と、該画素電極と隣り合う画素電極との間に重なって形成されていることを特徴としている。

【0023】また、上記構成において、前記第1の遮光部の反射光量と前記第2の遮光部の反射光量は、それぞれ異なることを特徴としている。また、前記第1の着色層は赤色であることを特徴としている。また、前記第2の着色層は青色であることを特徴としている。また、前記第3の着色層は緑色であることを特徴としている。また、前記第1の遮光部および前記第2の遮光部は、対向基板に設けられていることを特徴としている。

【0024】また、上記構造を実現するための発明の構成は、絶縁表面上に半導体層を形成する工程と、前記半導体層上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に前記半導体層と重なる導電層を形成して、前記半導体層と前記第1の絶縁膜と前記導電層との積層構造からなる凸部を形成する工程と、前記凸部を覆う第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に画素電極を形成する工程とを有し、前記画素電極は前記凸部と重なり、表面に凸凹を有していることを特徴とする半導体装置の作製方法である。こうして形成された凸部の一例が図20中の凸部900である。

【0025】また、上記構造を実現するための他の発明の構成は、絶縁表面上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に導電層を形成して、前記第1の絶縁膜と前記導電層との積層構造からなる凸部を形成する工程と、前記凸部を覆う第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に画素電極を形成する工程とを有し、前記画素電極は前記凸部と重なり、表面に凸凹を有していることを特徴とする半導体装置の作製方法である。こうして形成された凸部の一例が図20中の凸部901であり、凸部を形成する第1の絶縁膜は導電層と同じ上面形状を有している。

【0026】また、上記構造を実現するための他の発明の構成は、絶縁表面上に導電層を形成して、前記導電層からなる凸部を形成する工程と、前記凸部を覆う絶縁膜を形成する工程と、前記絶縁膜上に画素電極を形成する工程とを有し、前記画素電極は前記凸部と重なり、表面に凸凹を有していることを特徴とする半導体装置の作製方法である。

【0027】また、上記本発明の作製方法において、前記半導体装置は、前記画素電極がA1またはAgを主成分とする膜、またはそれらの積層膜からなる反射型の液晶表示装置であることを特徴としている。

【0028】また、上記本発明の作製方法において、前記凸部と同じ工程でTFTを形成することを特徴としている。

【0029】また、上記本発明の作製方法において、前

記画素電極は、凸部と同じ工程で形成されたTFTと接続していることを特徴としている。

【0030】

【発明の実施の形態】本願発明の実施形態について、以下に説明する。

【0031】図4に本発明の構成を示す。ここでは反射型の液晶表示装置を例にとり、以下に説明する。

【0032】本発明は、画素部407において、画素TFTと同時に凸部701、702を形成し、その上に形成される絶縁膜の表面を凹凸化させて、その上に形成する画素電極169の表面に凹凸部を持たせることを特徴としている。

【0033】この凸部701、702は、図1～図3に示すように、半導体層の形成時のマスクパターンまたはゲート配線の形成時のマスクパターンを用いて形成する。凸部701、702は、フォトマスクを用いて作製すると再現性の高いものが得られる。また、ここでは、凸部701、702として、画素TFTの作製時に成膜された半導体膜、絶縁膜、導電膜とを積層した例を示したが、特に限定されることなく、これらの膜の単層または組み合わせた積層を用いることができる。例えば、半導体膜と絶縁膜との積層膜からなる凸部や導電膜からなる凸部を形成することができる。即ち、工程数を増加させることなく複数種類の高さを有する凸部を形成することができる。また、相互に近接する凸部は、それぞれ0.1 μ m以上、好ましくは1 μ m以上隔離されている。

【0034】なお、ここでは大きさの異なる凸部を形成した例を示したが、特に限定されない。なお、凸部の大きさはランダムであるほうが、より反射光を散乱させるため望ましい。例えば、径方向の断面が多角形であってもよいし、左右対称でない形状であってもよい。例えば、図6(A)～(G)で示された形状のうち、いずれのものでもよい。また、凸部を規則的に配置しても不規則に配置してもよい。なお、凸部の配置は、画素部の表示領域となる画素電極の下方にあたる領域であれば特に限定されず、凸部の大きさ（上面から見た面積）も特に限定されないが1 μ m²～400 μ m²の範囲内、好ましくは25～100 μ m²であればよい。

【0035】こうして形成された凸部701、702を覆う絶縁膜は、表面に凸凹が形成され、その上に形成される画素電極169の表面も凹凸化される。この画素電極169の凸部の高さは0.3～3 μ m、好ましくは0.5～1.5 μ mである。この画素電極169の表面に形成された凸凹によって、図4に示すように入射光を反射する際に光を散乱させることができた。

【0036】なお、絶縁膜としては、無機絶縁膜や有機樹脂膜を用いることができる。この絶縁膜の材料によって画素電極の凸凹の曲率を調節することも可能である。なお、この画素電極の凸部における曲率半径は、0.1

～4 μ m、好ましくは0.2～2 μ mである。また、絶縁膜として有機樹脂膜を用いる場合は、粘度が10～1000cP、好ましくは40～200cPのものをいい、十分に凸部701、702の影響を受けて表面に凸凹が形成されるものを用いる。ただし、蒸発しにくい溶剤を用いれば、有機樹脂膜の粘度が低くても凸凹を形成することができる。

【0037】このようにして、本発明は、作製工程数を増やすことなく、表面に凸凹を有する画素電極169を形成することができる。

【0038】また、ここで示した例はトップゲート型のTFTであるが、ボトムゲート型のTFTにも適用することは可能である。

【0039】以上の構成でなる本願発明について、以下に示す実施例をもってさらに詳細な説明を行うこととする。

【0040】

【実施例】【実施例1】ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT（nチャネル型TFT及びpチャネル型TFT）を同時に作製する方法について詳細に説明する。ここでは、主に図9～11を用いて説明しながら、同時に図1～図3で凸凹を有する反射電極の作製方法を説明する。なお、図1～図3は画素部（画素TFT、凸部、保持容量）についての作製工程図であり、図9～図11は、画素部（画素TFT、保持容量）と駆動回路のTFTについての作製工程図である。

【0041】まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板100を用いる。なお、基板100としては、石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。

【0042】次いで、基板100上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜101を形成する。本実施例では下地膜101として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜101の一層目としては、プラズマCVD法を用い、SiH₄、NH₃、及びN₂Oを反応ガスとして成膜される酸化窒化シリコン膜102aを10～200nm（好ましくは50～100nm）形成する。本実施例では、膜厚50nmの酸化窒化シリコン膜101a（組成比Si＝32％、O＝27％、N＝24％、H＝17％）を形成した。次いで、下地膜101の二層目としては、プラズマCVD法を用い、SiH₄、及びN₂Oを反応ガスとして成膜される酸化窒化シリコン膜101bを50～200nm（好ましくは100～150nm）の厚さに積層形成

する。本実施例では、膜厚100nmの酸化窒化シリコン膜101b（組成比Si=32%、O=59%、N=7%、H=2%）を形成した。

【0043】次いで、下地膜上に半導体層102～106を形成する。半導体層102～106は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を所望の形状にパターンニングして形成する。この半導体層102～106の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成するとよい。本実施例では、プラズマCVD法を用い、55nmの非晶質シリコン膜を成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜に脱水素化（500℃、1時間）を行った後、熱結晶化（550℃、4時間）を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質シリコン膜を形成した。そして、この結晶質シリコン膜をフォトリソグラフィ法を用いたパターンニング処理によって、半導体層102～106を形成した。

【0044】また、半導体層102～106を形成した後、TFTのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。

【0045】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いるとよい。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm²（代表的には200～300mJ/cm²）とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm²（代表的には350～500mJ/cm²）とするとよい。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を80～98%として行えばよい。

【0046】次いで、半導体層102～106を覆うゲート絶縁膜107を形成する。ゲート絶縁膜107はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さ

で酸化窒化シリコン膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成した。勿論、ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いてもよい。

【0047】また、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波（13.56MHz）電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0048】次いで、図9（A）に示すように、ゲート絶縁膜107上に膜厚20～100nmの第1の導電膜108と、膜厚100～400nmの第2の導電膜109とを積層形成する。本実施例では、膜厚30nmのTa₂N膜からなる第1の導電膜108と、膜厚370nmのW膜からなる第2の導電膜109を積層形成した。Ta₂N膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン（WF₆）を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW（純度99.9999%または純度99.99%）のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することができた。

【0049】なお、本実施例では、第1の導電膜108をTa₂N、第2の導電膜109をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、第1の導電膜をタンタル（Ta）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル（Ta₂N）膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル（Ta₂N）膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0050】なお、図9（A）と図1（A）は対応しており、同じ符号を用いている。図1（A）に示すように、画素部407では、半導体層105と同時に半導体層301a～301dを形成する。

【0051】次に、フォトリソグラフィ法を用いてレジストからなるマスク110～115を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。なお、エッチング用ガスとしては、 Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 などを代表とする塩素系ガスまたは CF_4 、 SF_6 、 NF_3 などを代表とするフッ素系ガス、または O_2 を適宜用いることができる。本実施例ではICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 と O_2 とを用い、それぞれのガス流量比を25/25/10（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。基板側（試料ステージ）にも150WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。

【0052】この後、レジストからなるマスク110～115を除去せずに第2のエッチング条件に変え、エッチング用ガスに CF_4 と Cl_2 とを用い、それぞれのガス流量比を30/30（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側（試料ステージ）にも20WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した第2のエッチング条件ではW膜及びTa₂N膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20％程度の割合でエッチング時間を増加させると良い。

【0053】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15～45°となる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層117～122（第1の導電層117a～122aと第2の導電層117b～122b）を形成する。116はゲート絶縁膜であり、第1の形状の導電層117～122で覆われない領域は20～50nm程度エッチングされ薄くなった領域が形成される。

【0054】そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する。（図9（B））ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} \text{atoms/cm}^2$ とし、加速電圧を60～100keVとして行う。本実施例ではドーズ量を $1.5 \times 10^{15} \text{atoms/cm}^2$ とし、加速電圧を80keVとして行った。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いた。この場合、導電層117～121がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域123～127が形成される。第1の不純物領域123～127には $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

【0055】なお、図9（B）と図1（B）は対応しており、同じ符号を用いている。図1（B）に示すように、画素部407では、第1の形状の導電層120と同時に、レジストからなるマスク302a～dを用いて第1の形状の導電層303～306を形成する。

【0056】次に、レジストからなるマスクを除去せずに図9（C）に示すように第2のエッチング処理を行う。第2のエッチング処理では第3及び第4のエッチング条件で行う。第3のエッチング条件として、同様にICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 とを用い、それぞれのガス流量比を30/30（sccm）とし、1Paの圧力でコイル型の電極に500WのRF電力（13.56MHz）を供給し、プラズマを生成して約60秒程度のエッチングを行った。基板側（試料ステージ）には20WのRF（13.56MHz）電力を投入し、第1のエッチング処理に比べて低い自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した第3のエッチング条件ではW膜及びTa₂N膜とも同程度にエッチングされる。

【0057】この後、レジストからなるマスクを除去せずに第4のエッチング条件に変え、エッチング用ガスに CF_4 と Cl_2 と O_2 とを用い、それぞれのガス流量比を25/25/10（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成して約20秒程度のエッチングを行った。基板側（試料ステージ）には20WのRF（13.56MHz）電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。この第4のエッチング条件によりW膜をエッチングする。

【0058】こうして、上記第3及び第4のエッチング条件によりW膜を異方性エッチングし、かつ、W膜より遅いエッチング速度でTa₂N膜を異方性エッチングして第2の形状の導電層129～134（第1の導電層129a～134aと第2の導電層129b～134b）を形成する。128はゲート絶縁膜であり、第2の形状の導電層129～134で覆われない領域は、エッチングされて、約10～20nm程度の膜厚にまで薄くなった。

【0059】W膜やTa₂N膜に対する CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTa₂Nのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その

他の WCl_5 、 TaF_5 、 $TaCl_5$ は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa₂N膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、Ta₂NはFが増大しても相対的にエッチング速度の増加は少ない。また、Ta₂NはWに比較して酸化されやすいので、 O_2 を添加することでTa₂Nの表面が多少酸化される。Ta₂Nの酸化物はフッ素や塩素と反応しないため、さらにTa₂N膜のエッチング速度は低下する。従って、W膜とTa₂N膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa₂N膜よりも大きくすることが可能となる。

【0060】なお、図9(C)と図1(C)は対応しており、同じ符号を用いている。図1(C)に示すように、画素部407では、第2の形状の導電層132と同時に、第2の形状の導電層307～310を形成する。

【0061】次いで、レジストからなるマスクを除去した後、図10(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げた高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120keV、本実施例では90keVの加速電圧とし、 $3.5 \times 10^{12} \text{ atoms/cm}^2$ のドーズ量で行い、図9(B)で形成された第1の不純物領域より内側の半導体層に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層129b～133bを不純物元素に対するマスクとして用い、第2の導電層129a～133aのテーパ部下方における半導体層にも不純物元素が添加されるようにドーピングする。

【0062】なお、第2のドーピング処理の前に、レジストからなるマスクを除去してもよい。

【0063】こうして、第2の導電層129a～133aと重なる第3の不純物領域140～144と、第1の不純物領域145～149と第3の不純物領域との間の第2の不純物領域135～139とを形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度となるようにし、第3の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度となるようにする。なお、この第3の不純物領域140～144において、少なくとも第2の形状の導電層129a～133aと重なった部分に含まれるn型を付与する不純物元素の濃度変化を有している。即ち、第3の不純物領域140～144へ添加されるリン(P)の濃度は、第2の形状の導電層と重なる領域において、該導電層の端部から内側に向かって徐々に濃度が低くなる。これはテーパ部の膜厚の差によって、半導体層に達するリン(P)の濃度が変化するためである。

【0064】なお、図10(A)と図2(A)は対応し

ており、同じ符号を用いている。図2(A)に示すように、画素部407では、第3の不純物領域311を形成する。

【0065】そして、新たにレジストからなるマスク150～152を形成して図10(B)に示すように、第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された第4の不純物領域153～158を形成する。第2の形状の導電層130、133を不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に第4の不純物領域を形成する。本実施例では、不純物領域153～158はジボラン(B_2H_6)を用いたイオンドープ法で形成する。この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク150～152で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域153～158にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0066】なお、図10(B)と図2(B)は対応しており、同じ符号を用いている。図2(B)に示すように、画素部407では、半導体層301a～dの領域もレジストからなるマスク152で覆われているが、特に限定されず、少なくとも画素TFT(nチャネル型TFT)の半導体層を覆えばよい。

【0067】以上までの工程でそれぞれの半導体層に不純物領域が形成される。半導体層と重なる第2の形状の導電層129～132がゲート電極として機能する。また、134はソース配線、133は保持容量を形成するための第2の電極として機能する。

【0068】次いで、レジストからなるマスク150～152を除去し、全面を覆う第1の層間絶縁膜159を形成する。この第1の層間絶縁膜159としては、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化シリコン膜を形成した。勿論、第1の層間絶縁膜159は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0069】次いで、図10(C)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーンズアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下

の窒素雰囲気中で400～700℃、代表的には500～550℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0070】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域145～149、153、156にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

【0071】また、第1の層間絶縁膜159を形成する前に活性化処理を行っても良い。ただし、129～134に用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0072】さらに、3～100%の水素を含む雰囲気中で、300～550℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約3%の含む窒素雰囲気中で410℃、1時間の熱処理を行った。この工程は層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0073】また、窒化シリコン膜からなる層間絶縁膜中に含まれる水素を利用して熱処理(300～550℃で1～12時間の熱処理)を行い、半導体層を水素化する工程を行ってもよい。この場合、窒素雰囲気中で410℃、1時間の熱処理を行えば層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端することができる。

【0074】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0075】次いで、第1の層間絶縁膜159上に有機絶縁物材料から成る第2の層間絶縁膜160を形成する。本実施例では膜厚1.6μmのアクリル樹脂膜を形成した。次いで、ソース配線134に達するコンタクトホールと各不純物領域145、147、148、153、156に達するコンタクトホールを形成するためのパターニングを行う。

【0076】そして、駆動回路406において、第1の不純物領域または第4の不純物領域とそれぞれ電気的に接続する配線161～166を形成する。なお、これらの配線は、膜厚50nmのTi膜と、膜厚500nmの合金膜(A1とTiとの合金膜)との積層膜をパターニ

ングして形成する。

【0077】また、画素部407においては、画素電極169、ゲート配線168、接続電極167を形成する。(図11)この接続電極167によりソース配線134は、画素TFT404と電気的な接続が形成される。また、ゲート配線168は、第1の電極(第2の形状の導電層133)と電気的な接続が形成される。また、画素電極169は、画素TFTのドレイン領域と電気的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層と電気的な接続が形成される。また、画素電極169としては、AlまたはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

【0078】なお、図11と図3は対応しており、同じ符号を用いている。図3に示すように、画素部407では、凸部701、凸部702により表面に凸凹を有する画素電極169を形成することができた。画素電極169の表面に形成された凸凹の凸部における曲率半径は、0.1～4μm、好ましくは0.2～2μmとする。

【0079】以上の様にして、nチャネル型TFT401、pチャネル型TFT402、nチャネル型TFT403を有する駆動回路406と、画素TFT404、保持容量405とを有する画素部407を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0080】駆動回路406のnチャネル型TFT401はチャネル形成領域170、ゲート電極を形成する第2の形状の導電層129と重なる第3の不純物領域140(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域135(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域145を有している。pチャネル型TFT402にはチャネル形成領域171、ゲート電極を形成する第2の形状の導電層130と重なる第4の不純物領域155、ゲート電極の外側に形成される第4の不純物領域154、ソース領域またはドレイン領域として機能する第4の不純物領域153を有している。nチャネル型TFT403にはチャネル形成領域172、ゲート電極を形成する第2の形状の導電層131と重なる第3の不純物領域142(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域137(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域147を有している。

【0081】画素部の画素TFT404にはチャネル形成領域173、ゲート電極を形成する第2の形状の導電層132と重なる第3の不純物領域143(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域138(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域148を有している。また、保持容量405の一方の電極として機能する半導

体層156～158には第4の不純物領域と同じ濃度で、それぞれp型を付与する不純物元素が添加されている。保持容量405は、絶縁膜（ゲート絶縁膜と同一膜）を誘電体として、第2の電極133と、半導体層156～158とで形成している。

【0082】また、本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置形成する。

【0083】本実施例で作製するアクティブマトリクス基板の画素部の上面図を図5に示す。なお、図9～図11に対応する部分には同じ符号を用いている。図11中の鎖線A-A'は図5中の鎖線A-A'で切断した断面図に対応している。また、図11中の鎖線B-B'は図5中の鎖線B-B'で切断した断面図に対応している。

【0084】また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトリソの数を5枚（半導体層パターンマスク、第1配線パターンマスク（第1の電極132、第2の電極133、ソース配線134を含む）、p型TFTのソース領域及びドレイン領域形成のパターンマスク、コンタクトホール形成のパターンマスク、第2配線パターンマスク（画素電極169、接続電極167、ゲート配線168を含む））とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0085】[実施例2]本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図4を用いる。

【0086】まず、実施例1に従い、図3の状態のアクティブマトリクス基板を得た後、図4のアクティブマトリクス基板上に配向膜408を形成しラビング処理を行う。なお、本実施例では配向膜408を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0087】次いで、対向基板410を用意する。実施例1に従い、対向基板410上に着色層411、412、平坦化膜413を形成する。赤色の着色層411と青色の着色層412とを一部重ねて、第2遮光部を形成する。なお、図4では図示しないが、赤色の着色層と緑色の着色層とを一部重ねて、第1遮光部を形成する。

【0088】次いで、対向電極414を画素部に形成し、対向基板の全面に配向膜415を形成し、ラビング処理を施した。

【0089】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤で貼り合わせる。シール剤にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って

2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料409を注入し、封止剤（図示せず）によって完全に封止する。液晶材料409には公知の液晶材料を用いれば良い。このようにして図4に示すアクティブマトリクス型液晶表示装置が完成する。

【0090】本実施例では、実施例1に示す基板を用いている。従って、実施例1の画素部の上面図を示す図5では、少なくともゲート配線168と画素電極169、177の間隙と、ゲート配線168と接続電極167の間隙と、接続電極167と画素電極169の間隙を遮光する必要がある。本実施例では、それらの遮光すべき位置に第1遮光部と第2遮光部が重なるように対向基板を貼り合わせた。

【0091】なお、図12に完成した液晶表示装置の画素部の一部を示す簡略図を示す。図12では、鎖線で示した画素電極169上に着色層(B)12が重なるように形成されている。また、画素電極169と隣り合う画素電極177との間には、第2遮光部16で遮光されている。この第2遮光部16は着色層(B)と着色層(R)とを重ねて形成されている。また、この第2遮光部16は隣りの画素(R)の画素TFTも遮光している。また、点線で示したソース配線134上には着色層(B)12の端部と着色層(G)11の端部とが形成されている。また、第1遮光部15は着色層(G)と着色層(R)とを重ねて形成されている。また、図12では、ソース配線と重なる着色層(B)の端部と着色層(G)の端部とが接するようにパターニングを行った。また、同様にソース配線と重なる着色層(R)の端部と着色層(G)の端部とが接するようにパターニングを行った。

【0092】このように、ブラックマスクを形成することなく、各画素間の隙間を第1遮光部15もしくは第2遮光部16で遮光することによって工程数の低減を可能とした。

【0093】[実施例3]実施例2を用いて得られたアクティブマトリクス型液晶表示装置（図4）の構成を図7の上面図を用いて説明する。なお、図4と対応する部分には同じ符号を用いた。

【0094】図7で示す上面図は、画素部、駆動回路、FPC（フレキシブルプリント配線板：Flexible Printed Circuit）を貼り付ける外部入力端子203、外部入力端子と各回路の入力部までを接続する配線204などが形成されたアクティブマトリクス基板201と、着色層などが形成された対向基板202とがシール材200を介して貼り合わされている。

【0095】ゲート配線側駆動回路205とソース配線側駆動回路206の上面には対向基板側に赤色の着色層と青色の着色層を積層させた遮光部207が形成されている。また、画素部407上の対向基板側に形成された着色層208は赤色(R)、緑色(G)、青色(B)の各色の着色層が各画素に対応して設けられている。実際

の表示に際しては、赤色（R）の着色層、緑色（G）の着色層、青色（B）の着色層の3色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとす

【0096】また、図8（A）は、図7で示す外部入力端子203のE-E'線に対する断面図を示している。外部入力端子はアクティブマトリクス基板側に形成され、層間容量や配線抵抗を低減し、断線による不良を防止するために画素電極と同じ層で形成される配線209によって層間絶縁膜210を介してゲート配線と同じ層で形成される配線211と接続する。

【0097】また、外部入力端子にはベースフィルム212と配線213から成るFPCが異方性導電性樹脂214で貼り合わされている。さらに補強板215で機械的強度を高めている。

【0098】図8（B）は、その詳細図を示し、図8（A）で示す外部入力端子の断面図を示している。アクティブマトリクス基板側に設けられる外部入力端子が第1の電極及びソース配線と同じ層で形成される配線211と、画素電極と同じ層で形成される配線209とから形成されている。勿論、これは端子部の構成を示す一例であり、どちらか一方の配線のみで形成しても良い。例えば、第1の電極及びソース配線と同じ層で形成される配線211で形成する場合にはその上に形成されている層間絶縁膜を除去する必要がある。画素電極と同じ層で形成される配線209は、Ti膜209a、合金膜（AlとTiとの合金膜）209bの2層構造で形成されている。FPCはベースフィルム212と配線213から形成され、この配線213と画素電極と同じ層で形成される配線209とは、熱硬化型の接着剤214とその中に分散している導電性粒子216とから成る異方性導電性接着剤で貼り合わされ、電気的な接続構造を形成している。

【0099】以上のようにして作製されるアクティブマトリクス型の液晶表示装置は各種電子機器の表示部として用いることができる。

【0100】[実施例4]本実施例では、実施例2に示した例、即ち対向基板に設けられた着色層の配置（図12）を詳細に示す。

【0101】図13（A）は、適宜、3色の着色層11～13を形成して、第1の遮光部15、第2の遮光部16、及び画素開口部17～19を構成した一例を示している。一般に、着色層は顔料を分散した有機感光材料からなるカラーレジストを用いて形成される。

【0102】第1の遮光部15及び第2の遮光部16は、各画素の間隙を遮光するように形成する。従って、入射光は第1の遮光部15及び第2の遮光部16により吸収され観察者には、ほぼ黒色として認識される。また、第1の遮光部15及び第2の遮光部16は、素子基板の画素TFT（ここでは図示しない）と重なるよう形

成され、画素TFTを外部の光から保護する役目を果たしている。

【0103】第1の遮光部15は、緑色の着色層11と赤色の着色層13とを積層して形成する。赤色の着色層13は、格子状にパターンニングする。なお、緑色の着色層11は、従来と同じ形状（ストライプ状）にパターンニングする。

【0104】また、第2の遮光部16は、青色の着色層12と赤色の着色層13とを積層して形成する。なお、青色の着色層12は、隣り合う赤色の着色層13と一部重なるような形状にパターンニングしている。

【0105】なお、図13（B）は、図13（A）中における第1の遮光部及び第2の遮光部を鎖線（A1-A1'）で切断した断面構造を示している。図13（B）に示すように、対向基板10上の着色層11、12を覆って着色層13が積層されており、さらに、平坦化膜14で着色層13を覆っている。

【0106】また、緑色の着色層11と赤色の着色層13との積層膜（第1の遮光部15）、青色の着色層12と赤色の着色層13とを積層膜（第2の遮光部16）、緑色の着色層と青色の着色層との積層膜について、それぞれの反射率を図29に示した。

【0107】図29に示すようにR+B+Al（第2の遮光部16に相当）は400～450nmの波長域で約35%の反射率となり、十分に遮光マスクとして機能する。また、R+G+Al（第1の遮光部15に相当）は570nm付近で約50%の反射率を有しているものの十分に遮光マスクとして機能する。

【0108】また、TFTの活性層を形成する非単結晶珪素膜は、500nmの波長域の光を吸収しやすい傾向が見られる。この500nmの波長域において、上記第1の遮光部15及び第2の遮光部16は、反射率を10%以下に抑えることができるため、光によるTFTの劣化を抑えることができる。

【0109】このように本実施例では2層の着色層からなる積層膜（R+BあるいはR+G）で遮光マスクを形成することを特徴としている。結果として、ブラックマトリクスを形成する工程を省略することができ、工程数が低減した。

【0110】なお、画素開口部においては、図30に示した従来例（単層での反射率）と同様に、青色の着色層は450nm付近で90%を越える反射率を示している。また、緑色の着色層は530nm付近で90%を越える反射率を示している。また、赤色の着色層は600～800nmで90%を越える反射率を示している。

【0111】ただし、図13（B）に示した断面図は一例であって、特に限定されず、例えば、最初に着色層（R）を形成した後、着色層（B）と着色層（G）を積層しても良いし、最初に着色層（G）を形成した後、着色層（R）を形成し、次いで着色層（B）を積層しても

良いし、最初に着色層 (B) を形成した後、着色層 (R) を形成し、次いで着色層 (G) を積層しても良い。

【0112】また、画素電極間における配線と画素電極と着色層との位置関係を図14に示す。図14(A)は、画素電極51と画素電極52との間を遮光するように、ソース配線50上方で着色層(B)58と着色層(R)59との端面が接しており、その接面がソース配線上に存在している例を示した。なお、図14(A)中において53、55は配向膜、54は液晶、56は対向電極、57は平坦化膜である。

【0113】なお、図14(A)に示した例に限定されことなく、着色層のパターニング時のずれを考慮して図14(B)や図14(C)に示すような構造としてもよい。図14(B)は、画素電極61と画素電極62との間を遮光するように、ソース配線60上方で着色層(B)68の端部と一部が重なるように着色層(R)69を形成している例である。また、図14(C)は、画素電極71と画素電極72との間を遮光するように、ソース配線70上方で着色層(B)78と着色層(R)79とが互いに接しないよう形成している例である。

【0114】[実施例5]本実施例では実施例1とは異なるアクティブマトリクス基板の作製方法について図15~17を用いて説明する。実施例1では自己整合的にn型を付与する不純物元素を添加して不純物領域を形成したが、本実施例ではマスク数を1枚増やしてnチャネル型TFTのソース領域またはドレイン領域を形成することを特徴としている。

【0115】なお、その他の構成については実施例1において既に述べているので、詳しい構成については実施例1を参照し、ここでは説明を省略する。

【0116】まず、実施例1に従って図9(A)と同じ状態を得る。図9(A)に対応する図面が図15(A)であり、同一の符号を用いた。なお、図15(A)と図18(A)は対応しており、同じ符号を用いている。図18(A)に示すように、画素部803では、半導体層105と同時に半導体層600a、600bを形成する。

【0117】次いで、フォトリソグラフィ法を用いてレジストからなるマスク601~607を形成し、電極及び配線を形成するための第1のエッチング処理を行う。なお、エッチング用ガスとしては、 Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 などを代表とする塩素系ガスまたは CF_4 、 SF_6 、 NF_3 などを代表とするフッ素系ガス、または O_2 を適宜用いることができる。本実施例ではICPエッチング法を用い、エッチング用ガスに CF_4 と Cl_2 とを用い、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バ

イアス電圧を印加する。 CF_4 と Cl_2 を混合したエッチング条件ではW膜及びTa₂N膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0118】上記第1のエッチング処理により、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ一部の角度は15~45°となる。こうしてW膜及びTa₂N膜をエッチングして、第1の形状の導電層608~613(第1の導電層608a~613aと第2の導電層608b~613b)を形成する。614はゲート絶縁膜であり、第1の形状の導電層608~613で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。(図15(B))

【0119】なお、図15(B)と図18(B)は対応しており、同じ符号を用いている。図18(B)に示すように、画素部803では、第1の形状の導電層611と同時に、レジストからなるマスク902a~dを用いて第1の形状の導電層903~906を形成する。

【0120】次いで、レジストからなるマスク601~607を除去せずに第2のエッチング処理を行う。エッチング用ガスに CF_4 と Cl_2 と O_2 とを用い、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)には20WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このエッチング条件によりW膜をエッチングする。

【0121】上記第2のエッチング処理によりW膜を異方性エッチングし、かつ、第1の導電層であるTa₂N膜がW膜より遅いエッチング速度でわずかにエッチングされ、第2の形状の導電層615~620(第1の導電層615a~620aと第2の導電層615b~620b)を形成する。621はゲート絶縁膜であり、第2の形状の導電層615~620で覆われない領域は、エッチングされて薄くなった。

【0122】次いで、第1のドーピング処理を行う。ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。この場合、高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。例えば、加速電圧を70~120keVとし、不純物領域(A)622~626を形成する。(図15(C))ドーピングは、第2の形状の導電層615~619を不純物元素に対するマスクとして用い、第2の導電層615a~619aのテーパ部下方における半導体層にも不純物元素が添加されるようにドーピングする。こうして、自己整合的に形成された不純

物領域(A) 622~626のうち、導電層615~619と重なる不純物領域が622b、623b、624b、625b、626bであり、導電層615~619と重ならない不純物領域が622a、623a、624a、625a、626aである。

【0123】なお、図15(C)と図18(C)は対応しており、同じ符号を用いている。図18(C)に示すように、画素部803では、第2の形状の導電層618と同時に、第2の形状の導電層907~910を形成する。また、図18(C)に示すように、画素部803では、不純物領域(A) 911が形成される。

【0124】次いで、レジストからなるマスクを除去した後、導電層615~619をマスクとして用い、ゲート絶縁膜621を選択的に除去して絶縁層627a、627b、627cを形成する。また、絶縁層627a、627b、627cを形成すると同時に第2の形状の導電層615~619の形成に使用したレジストマスクを除去してもよい。(図15(D))

【0125】なお、図15(D)と図18(D)は対応しており、同じ符号を用いている。

【0126】次いで、フォトリソグラフィ法を用いてレジストからなるマスク628、629を形成した後、第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーピング量を上げて低い加速電圧の条件としてn型を付与する不純物元素を半導体層にドーピングする。不純物領域(B) 630~634には $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。(図16(A))

【0127】なお、図16(A)と図19(A)は対応しており、同じ符号を用いている。

【0128】こうして、nチャネル型TFTのソース領域またはドレイン領域となる不純物領域(B) 630、632、633を形成することができた。また、画素部において、導電層618と重なる不純物領域(A) 625bと不純物領域633との間には、導電層618と重ならない領域636が形成される。この領域636はnチャネル型TFTのLDD領域として機能する。また、不純物領域(B) 631、634に添加された不純物元素は、後のゲッタリング工程で主にチャネル形成領域となる半導体層中のニッケル濃度を低減させるために添加する。

【0129】そして、実施例1と同様にレジストからなるマスク628、629を除去した後、新たにレジストからなるマスク637~639を形成して、第3のドーピング処理を行う。(図16(B))

【0130】なお、図16(B)と図19(B)は対応しており、同じ符号を用いている。

【0131】この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物

領域(C) 640~644を形成する。第2の導電層616、619を不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域(C)を形成する。本実施例では、不純物領域(C) 640~644はジボラン(B_2H_6)を用いたイオンドーピング法で形成する。また、実施例1と同様に、不純物領域(C) 640~644にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{atoms/cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0132】次いで、実施例1と同様にレジストからなるマスク637~639を除去し、全面を覆う第1の層間絶縁膜645を形成する。この第1の層間絶縁膜645としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200nmとしてシリコンを含む絶縁膜で形成する。

【0133】次いで、図16(C)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーンズアニール炉を用いる熱アニール法で行う。熱アニール法としては、窒素雰囲気中で400~700℃、代表的には500~550℃で行えばよい。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0134】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域(B) 630~634にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0135】なお、図16(C)と図19(C)は対応しており、同じ符号を用いている。

【0136】また、第1の層間絶縁膜645を形成する前に活性化処理を行っても良い。ただし、第2の形状の導電層615~619に用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0137】以上までの工程でそれぞれの半導体層に不純物領域が形成される。半導体層と重なる第2の形状の導電層615~618がゲート電極として機能する。また、620はソース配線、619は保持容量を形成するための第2の電極として機能する。

【0138】さらに、3%の水素を含む窒素雰囲気中で、300~550℃で1~12時間の熱処理を行い、半導体層を水素化する工程を行う。また、3~100%

の水素を含む雰囲気中で熱処理を行ってもよい。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0139】また、窒化シリコン膜からなる層間絶縁膜中に含まれる水素を利用して熱処理（300～550℃で1～12時間の熱処理）を行い、半導体層を水素化する工程を行ってもよい。この場合、窒素雰囲気中で410℃、1時間の熱処理を行えば層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端することができる。

【0140】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0141】次いで、第1の層間絶縁膜645上に有機樹脂材料から成る第2の層間絶縁膜646を形成する。本実施例では有機樹脂材料を用いたが、特に限定されず、シリコンを含む絶縁膜（酸化窒化珪素膜、酸化珪素膜、窒化珪素膜等）を単層または積層構造として用いてもよい。次いで、ソース配線134に達するコンタクトホールと各不純物領域（B）及び（C）630、632、633、640、643に達するコンタクトホールを形成するためのパターニングを行う。

【0142】そして、駆動回路において、不純物領域（B）または不純物領域（C）とそれぞれ電氣的に接続する配線647～652を形成する。なお、これらの配線は、膜厚50nmのTi膜と、膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜をパターニングして形成する。

【0143】また、画素部においては、画素電極656、ゲート配線654、接続電極653を形成する。

（図17）この接続電極653によりソース配線620は、画素TFTと電氣的な接続が形成される。また、ゲート配線654は、第1の電極（第2の形状の導電層618）と電氣的な接続が形成される。また、画素電極656は、画素TFTのドレイン領域と電氣的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層643と電氣的な接続が形成される。

【0144】以上の様にして、nチャネル型TFT、pチャネル型TFT、nチャネル型TFTを有する駆動回路と、画素TFT、保持容量とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上、アクティブマトリクス基板と呼ぶ。

【0145】駆動回路のnチャネル型TFTの半導体層はチャンネル形成領域、ゲート電極を形成する第2の形状の導電層615と重なる不純物領域（A）622b（GOLD領域）とソース領域またはドレイン領域として機能する不純物領域（B）630を有している。また、pチャネル型TFTの半導体層はチャンネル形成領域、ゲート電極を形成する第2の形状の導電層616と重なる不

純物領域（C）642、ソース領域またはドレイン領域として機能する不純物領域（C）640を有している。また、nチャネル型TFTの半導体層はチャンネル形成領域、ゲート電極を形成する第2の形状の導電層617と重なる不純物領域（A）624b（GOLD領域）、ソース領域またはドレイン領域として機能する不純物領域（B）632を有している。

【0146】画素部の画素TFTの半導体層はチャンネル形成領域、ゲート電極を形成する第2の形状の導電層618と重なる不純物領域（A）625b（GOLD領域）、ゲート電極の外側に形成される不純物領域636（LDD領域）とソース領域またはドレイン領域として機能する不純物領域（B）633を有している。また、保持容量の一方の電極として機能する半導体層643、644には不純物領域（C）と同じ濃度で、それぞれp型を付与する不純物元素が添加されている。保持容量は、絶縁層627c（ゲート絶縁膜と同一膜）を誘電体として、第2の電極619と、半導体層643、644とで形成している。

【0147】また、本実施例で作製したアクティブマトリクス基板を用いて実施例2の工程に従えば、図20に示す液晶表示装置が得られる。図20に示すように、画素部803に高さの異なる凸部900、901が形成された。凸部900、901は、マスク数を増やすことなく形成することができる。図20では、半導体層のパターニングの際、凸部901において半導体層を形成しないマスクを用いたため、凸部901の高さは凸部900よりも半導体層の膜厚分、低くなっている。

【0148】こうすることにより、作製工程数を増やすことなく、画素電極の表面に形成される凹凸の高低差を大きくすることができ、さらに反射光を散乱させることができる。

【0149】なお、本実施例は実施例1乃至4のいずれとも組み合わせることが可能である。

【0150】【実施例6】本実施例では実施例1とは異なるアクティブマトリクス基板の作製方法について図21、図22を用いて説明する。実施例1とは、ゲート電極の作製方法とドーピング順序等が異なっているが、活性化処理以降の工程は同一である。

【0151】まず、実施例1に従って、第1のエッチング処理を行った後、第1のドーピング処理を行って、図9（B）の状態を得る。図21（A）は、図9（B）と同一であり、同じ符号を用いている。

【0152】次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う。エッチングガスにCF₄とCl₂とO₂とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の導電層701b～706bを形成する。一方、第1の導電層117a～122aは、ほとんどエッチングされず、第1の導電層701a～706aを形成する。次いで、第

2のドーピング処理を行って図21(B)の状態を得る。ドーピングは第1の導電層701a~706aを不純物元素に対するマスクとして用い、第2の導電層のテーパー部下方の半導体層に不純物元素が添加されるようにドーピングする。こうして、第2の導電層と重なる不純物領域707~711を形成する。この不純物領域へ添加されたリン(P)の濃度は、第2の導電層のテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第2の導電層のテーパー部と重なる半導体層において、第2の導電層のテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、第1の不純物領域123~127にも不純物元素が添加され、不純物領域712~716を形成する。

【0153】次いで、レジストからなるマスクを除去せずに第3のエッチング処理を行う。この第3のエッチング処理では第2の導電層のテーパー部を部分的にエッチングして、半導体層と重なる領域を縮小するために行われる。第3のエッチングは、エッチングガスに CHF_3 を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチングにより、第2の導電層717~722が形成される。この時、同時に絶縁膜116もエッチングされて、絶縁膜723が形成される。

【0154】上記第3のエッチングによって、第2の導電層717~722と重ならない不純物領域(LDD領域)707a~711aが形成される。なお、不純物領域(GOLD領域)707b~711bは、第2の導電層717~721と重なったままである。

【0155】このようにすることで、本実施例は、実施例1と比較して、第2の導電層717~721と重なる不純物領域(GOLD領域)707b~711bにおける不純物濃度と、第2の導電層717~721と重ならない不純物領域(LDD領域)707a~711aにおける不純物濃度の差を小さくすることができ、信頼性を向上させることができる。

【0156】次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク724~726を形成して第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域727~732を形成する。第1の導電層701b~705bを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。本実施例では、不純物領域727~732はジボラン(B_2H_6)を用いたイオンドーピング法で形成する。この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク724~726で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域727~732にはそれぞれ異なる

濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。本実施例では、pチャネル型TFTの活性層となる半導体層の一部が露呈しているため、実施例1よりも不純物元素(ボロン)を添加しやすい利点を有している。

【0157】以上までの工程でそれぞれの半導体層に不純物領域が形成される。

【0158】次いで、レジストからなるマスク724~726を除去して第1の層間絶縁膜733を形成する。この第1の層間絶縁膜733としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化シリコン膜を形成した。勿論、第1の層間絶縁膜733は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0159】次いで、図22(B)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700℃、代表的には500~550℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0160】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域712~716、727、730にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0161】また、第1の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0162】さらに、3~100%の水素を含む雰囲気中で、300~550℃で1~12時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約3%の含む窒素雰囲気中で410℃、1時間の熱処理を行った。この工程は層間絶縁膜に含まれる水素に

より半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0163】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0164】以降の工程は実施例1とほぼ同一であり、実施例1に従って、第2の層間絶縁膜、各半導体層に接続される配線等を形成し、図22(C)の状態を得ることができる。

【0165】また、本実施例で作製したアクティブマトリクス基板を用いて実施例2の工程に従えば、液晶表示装置が得られる。

【0166】なお、図21、図22では駆動回路と画素部のTFT及び保持容量の形成についての作製工程であるが、マスクを適宜変更すれば、実施例1に示したように画素部に凸部を形成し、画素電極の表面に凸凹を形成することができる。

【0167】なお、本実施例は実施例1乃至4のいずれとも組み合わせることが可能である。

【0168】[実施例7]実施例1、実施例5、実施例6ではトップゲート型のTFT作製と同時に形成される凸部を用いた画素電極の作製例を示したが、本実施例では図23、図24を用いて、逆スタガ型のTFT作製と同時に形成される凸部を用いた画素電極の作製例について示す。

【0169】まず、第1のマスク（フォトマスク1枚目）でゲート配線1000を形成する。この時、表示領域となる領域にゲート配線と同じ材料で金属層1001を形成する。

【0170】次いで、ゲート配線1000及び金属層1001を覆って、絶縁膜（ゲート絶縁膜）1002、第1の非晶質半導体膜、n型を付与する不純物元素を含む第2の非晶質半導体膜、及び第1の導電膜を順次、積層形成する。なお、非晶質半導体膜に代えて微結晶半導体膜を用いてもよいし、n型を付与する不純物元素を含む非晶質半導体膜に代えてn型を付与する不純物元素を含む微結晶半導体膜を用いてもよい。さらに、これらの膜はスパッタ法やプラズマCVD法を用いて複数のチャンパー内または同一チャンパー内で連続的に大気に曝すことなく形成することができる。大気に曝さないようにすることで不純物の混入を防止できる。

【0171】次いで、第2のマスク（フォトマスク2枚目）で上記第1の導電膜をパターンニングして第1の導電膜からなる配線（後にソース配線及び電極（ドレイン電極）となる）を形成し、上記第2の非晶質半導体膜をパターンニングしてn型を付与する不純物元素を含む第2の非晶質半導体膜を形成し、上記第1の非晶質半導体膜をパターンニングして第1の非晶質半導体膜を形成する。ま

た、金属層1001上にも同様にして、第1の非晶質半導体膜とn型を付与する不純物元素を含む第2の非晶質半導体膜と上記第1の導電膜とを残すようにパターンニングする。このパターンニングでは、後に形成される第2の導電膜のカバレッジを良好なものとするため、図23に示すように端部が階段状になるようなエッチングとした。

【0172】また、金属層1001及びその上に形成される積層物（凸部）の形状は特に限定されず、径方向の断面が多角形であってもよいし、左右対称でない形状であってもよい。例えば、図6(A)～(G)で示された形状のうち、いずれのものでもよい。また、金属層1001及びその上に形成される積層物（凸部）を規則的に配置しても不規則に配置してもよい。また、金属層1001及びその上に形成される積層物（凸部）の高さは、0.3～3μm、好ましくは0.5～1.5μmである。

【0173】次いで、端子部において、シャドーマスクを用いてレジストマスクを形成し、端子部のパッド部分を覆っている絶縁膜1002を選択的に除去した後、レジストマスクを除去する。また、シャドーマスクに代えてスクリーン印刷法によりレジストマスクを形成してエッチングマスクとしてもよい。

【0174】その後、全面に第2の導電膜を成膜する。なお、第2の導電膜としては、反射性を有する導電膜、例えばAlまたはAgからなる材料膜を用いる。

【0175】次いで、第3のマスク（フォトマスク3枚目）で上記第2の導電膜をパターンニングして第2の導電膜からなる画素電極1004を形成し、上記配線をパターンニングしてソース配線1003及び電極（ドレイン電極）1009を形成し、n型を付与する不純物元素を含む第2の非晶質半導体膜をパターンニングしてn型を付与する不純物元素を含む第2の非晶質半導体膜からなるソース領域1008及びドレイン領域1009を形成し、上記第1の非晶質半導体膜を一部除去して第1の非晶質半導体膜1006を形成する。

【0176】次いで、配向膜1005を形成し、ラビング処理を行った。

【0177】このような構成とすることで、画素TFT部を作製する際、フォトリソグラフィ技術で使用するフォトマスクの数を3枚とすることができる。

【0178】加えて、このような構成とすることで、金属層1001上に形成された絶縁膜、第1の非晶質半導体膜、n型を付与する不純物元素を含む第2の非晶質半導体膜、及び第1の導電膜からなる積層物（凸部）により凸凹を有し、この凸凹を覆って画素電極1004が形成されるので、作製工程数を増やすことなく、画素電極1004の表面に凹凸を持たせて光散乱性を図ることができる。

【0179】次いで、実施例2に示した対向基板を用意

する。図23において、1010は対向基板であり、実施例2に従い、対向基板1010上に着色層1011、1012、平坦化膜1013を形成する。赤色の着色層1011と青色の着色層1012とを一部重ねて、第2遮光部を形成する。なお、図23では図示しないが、赤色の着色層と緑色の着色層とを一部重ねて、第1遮光部を形成する。

【0180】次いで、対向電極1014を画素部に形成し、対向基板の全面に配向膜1015を形成し、ラビング処理を施した。

【0181】また、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤で貼り合わせる。シール剤にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料1016を注入し、封止剤（図示せず）によって完全に封止する。液晶材料1016には公知の液晶材料を用いれば良い。このようにして図23に示すアクティブマトリクス型液晶表示装置が完成する。

【0182】図24はアクティブマトリクス基板の画素部と端子部の配置を説明する図である。基板1110上には画素部1111が設けられ、画素部にはゲート配線1108とソース配線1107が交差して形成され、これに接続するnチャネル型TFT1101が各画素に対応して設けられている。nチャネル型TFT1101のドレイン側には画素電極1004及び保持容量1102が接続し、保持容量1102のもう一方の端子は容量配線1109に接続している。nチャネル型TFT1101と保持容量1102の構造は図23で示すnチャネル型TFTまたは保持容量と同じものとする。

【0183】基板の一方の端子部には、走査信号を入力する入力端子部1105が形成され、接続配線1106によってゲート配線1108に接続している。また、他の端子部には画像信号を入力する入力端子部1103が形成され、接続配線204によってソース配線1107に接続している。ゲート配線1108、ソース配線1107、容量配線1109は画素密度に応じて複数本設けられるものである。また、画像信号を入力する入力端子部1112と接続配線1113を設け、入力端子部1103と交互にソース配線と接続させても良い。入力端子部1103、1105、1112はそれぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【0184】なお、本実施例は実施例2または実施例4と組み合わせることができる。

【0185】【実施例8】本実施例では、作製工程数を増やすことなく、表面に凸凹を有する画素電極を形成する例を示す。なお、簡略化のため、実施例7と異なる点についてのみ以下に説明する。なお、図23に対応する部分には同じ符号を用いた。

【0186】本実施例は、図25に示すように、高さの

異なる凸部1201、1202を形成した例である。

【0187】凸部1201、1202は、マスク数を増やすことなく実施例7のマスクを変更することにより形成することができる。本実施例では、図25に示すように、ゲート電極のパターニングの際、凸部1202において金属層を形成しないマスクを用いたため、凸部1202の高さは凸部1201よりも金属層の膜厚分、低くなっている。本実施例では実施例7で使用了金属層のパターニングで使用するマスクを変更し、高さの異なる2種類の凸部1201、1202を表示領域となる箇所ランダムに形成した。

【0188】こうすることにより、作製工程数を増やすことなく、画素電極1200の表面に形成される凹凸の高低差を大きくすることができ、さらに反射光を散乱させることができる。

【0189】なお、本実施例は、実施例2または実施例4と組み合わせることができる。

【0190】【実施例9】本実施例では、作製工程数を増やすことなく、表面に凸凹を有する画素電極を形成する例を示す。なお、簡略化のため、実施例7と異なる点についてのみ以下に説明する。

【0191】本実施例は、図26に示すように、金属層1301a、1301bを形成し、絶縁膜1302を形成した後、絶縁膜1302上に金属層1301a、1301bとは異なるピッチで第1の非晶質半導体膜、n型を付与する不純物元素を含む第2の非晶質半導体膜、及び第1の導電膜からなる積層部1303を形成した例である。

【0192】金属層1301a、1301bは、マスク数を増やすことなく実施例7のマスクを変更することにより形成することができる。実施例7のゲート電極1300形成時の第1のマスクを変更して金属層1301a、1301bを形成する。さらに実施例7の第2のマスクを変更して、積層部1303を形成する。

【0193】こうすることにより、作製工程数を増やすことなく、画素電極1304の表面に形成される凹凸の大きさを異ならせるとともに、配置をランダムにすることができ、さらに反射光を散乱させることができる。

【0194】なお、本実施例は、実施例2、実施例4、実施例7、または実施例8と組み合わせることができる。

【0195】【実施例10】上記各実施例1乃至9のいずれかを実施して形成されたTFT及びアクティブマトリクス基板は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施できる。

【0196】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフ

ロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図27及び図28に示す。

【0197】図27(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を表示部2003に適用することができる。

【0198】図27(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102に適用することができる。

【0199】図27(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205に適用できる。

【0200】図27(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302に適用することができる。

【0201】図27(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

【0202】図27(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本発明を表示部2502に適用することができる。

【0203】図28(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本発明を表示部2904に適用することができる。

【0204】図28(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003に適用することができる。

【0205】図28(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利

であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。また、このようなサイズの表示部を形成するためには、基板の一边が1mのものを用い、多面取りを行って量産することが好ましい。

【0206】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~9のどのような組み合わせからなる構成を用いても実現することができる。

【0207】

【発明の効果】本発明により、工程数を増加することなく表面に凸凹を有する画素電極を形成することができる。

【図面の簡単な説明】

【図1】 AM-LCD(画素部)の作製工程を示す図。

【図2】 AM-LCD(画素部)の作製工程を示す図。

【図3】 AM-LCD(画素部)の作製工程を示す図。

【図4】 アクティブマトリクス型液晶表示装置の断面構造を示す図。

【図5】 画素上面図を示す図。

【図6】 凸部の上面形状を示す図。

【図7】 AM-LCDの外観を示す図。

【図8】 AM-LCDの端子部を示す図。

【図9】 AM-LCDの作製工程を示す図。

【図10】 AM-LCDの作製工程を示す図。

【図11】 AM-LCDの作製工程を示す図。

【図12】 着色層の配置の上面図を示す図。

【図13】 着色層の配置の上面図及び断面図を示す図。

【図14】 着色層の配置の断面図を示す図。

【図15】 AM-LCDの作製工程を示す図。

【図16】 AM-LCDの作製工程を示す図。

【図17】 AM-LCDの作製工程を示す図。

【図18】 AM-LCD(画素部)の作製工程を示す図。

【図19】 AM-LCD(画素部)の作製工程を示す図。

【図20】 アクティブマトリクス型液晶表示装置の断面構造を示す図。

【図21】 AM-LCDの作製工程を示す図。

【図22】 AM-LCDの作製工程を示す図。

【図23】 アクティブマトリクス型液晶表示装置の断面構造図を示す図。

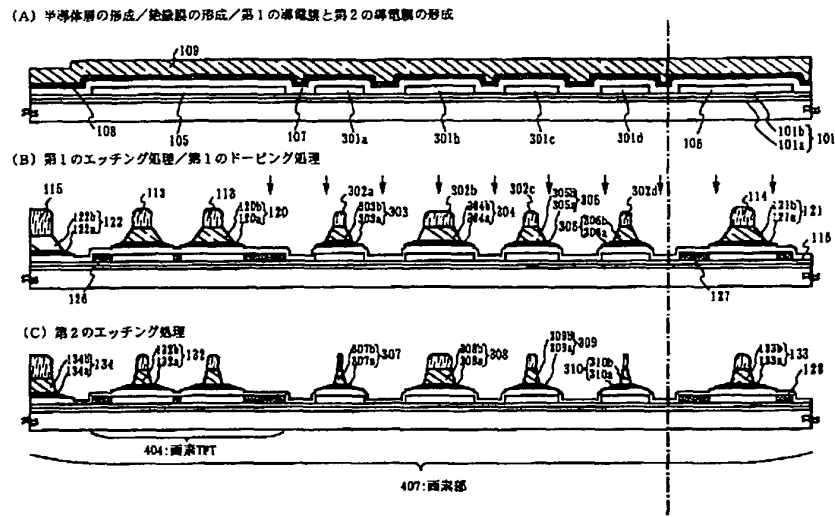
【図24】 アクティブマトリクス基板の画素部と端子部の配置を説明する図。

【図25】 アクティブマトリクス型液晶表示装置の断面構造図を示す図。

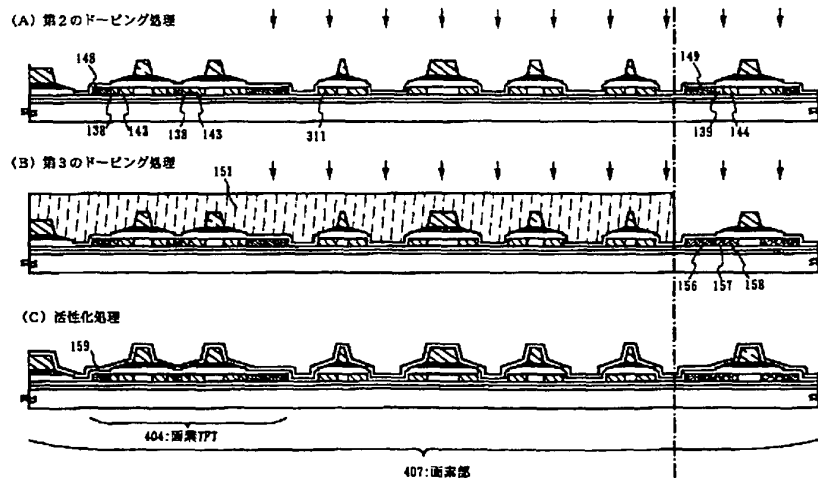
【図26】 アクティブマトリクス型液晶表示装置の断面構造図を示す図。
 【図27】 電子機器の一例を示す図。

【図28】 電子機器の一例を示す図。
 【図29】 積層した着色層の反射率を示す図。
 【図30】 着色層の単層での反射率を示す図。

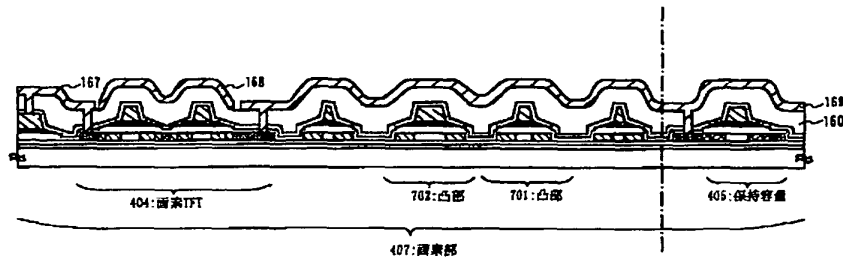
【図1】



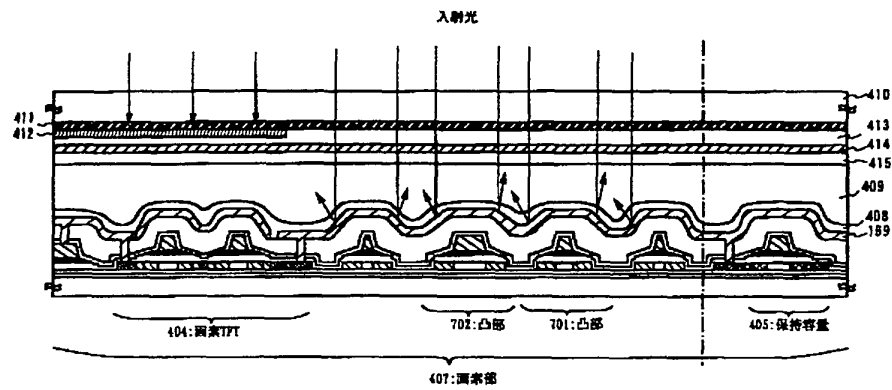
【図2】



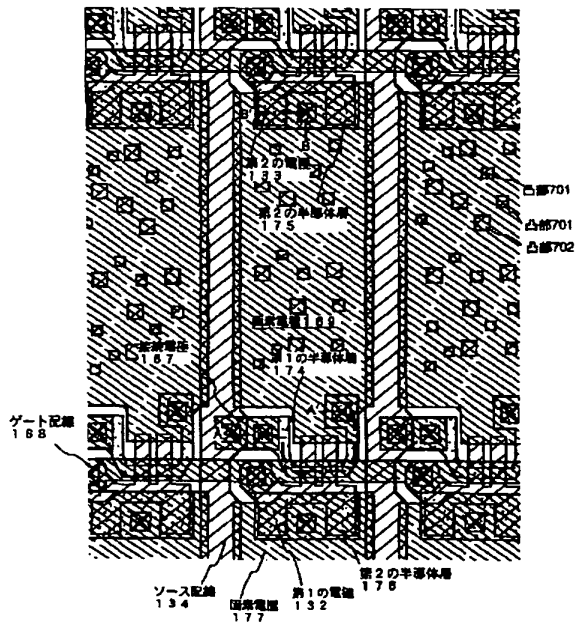
【図3】



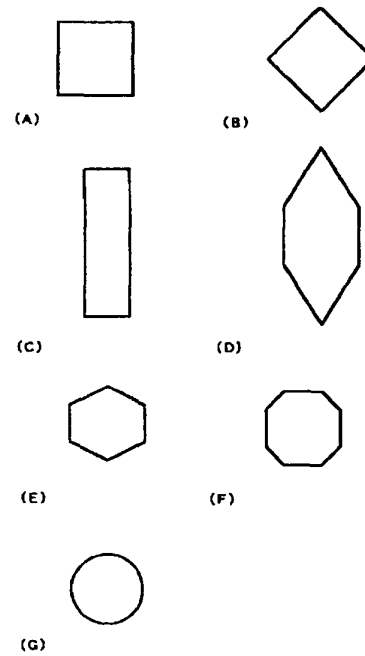
【図4】



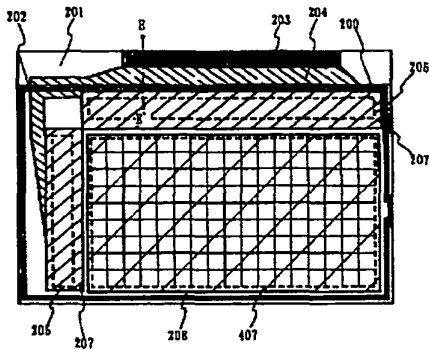
【図5】



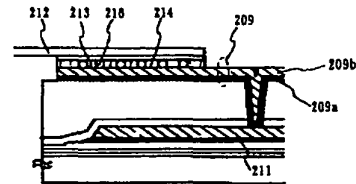
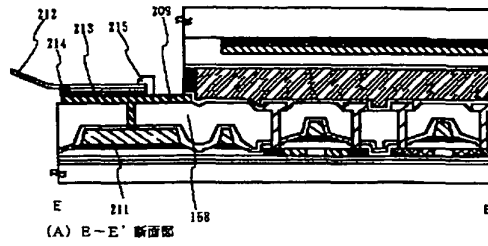
【図6】



【図7】

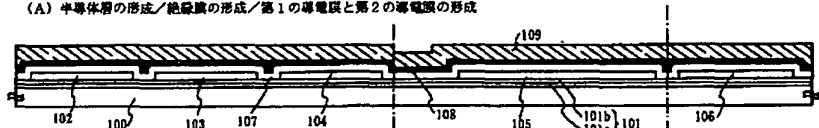


【図8】

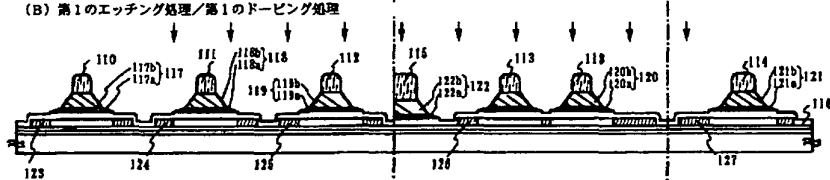


【図9】

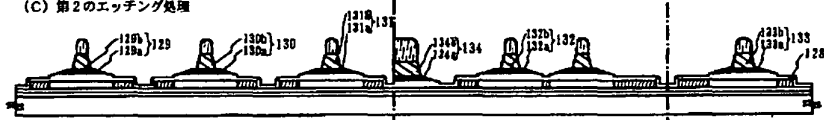
(A) 半導体層の形成/絶縁膜の形成/第1の導電膜と第2の導電膜の形成



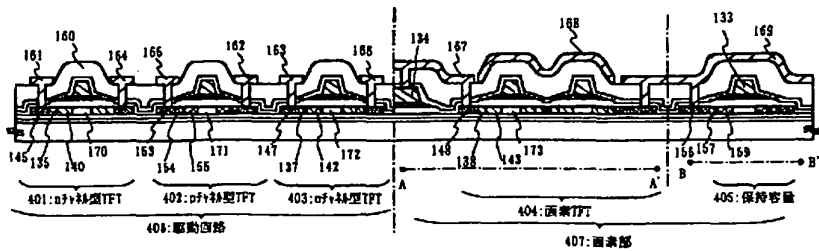
(B) 第1のエッチング処理/第1のドーピング処理



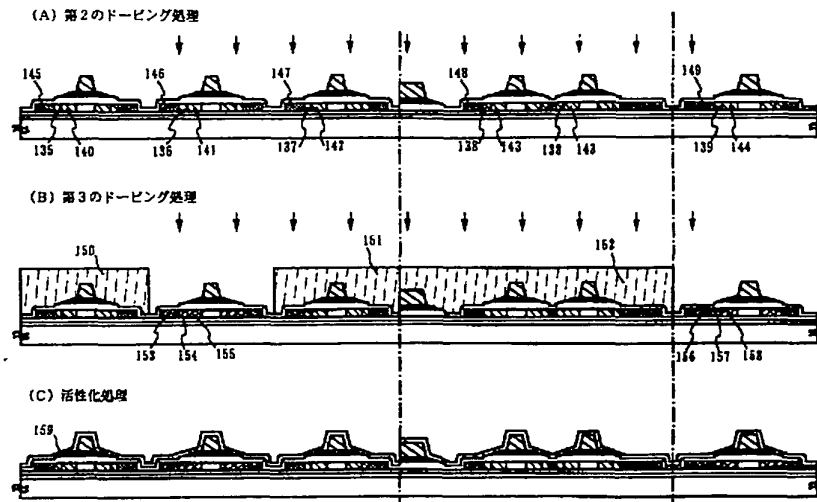
(C) 第2のエッチング処理



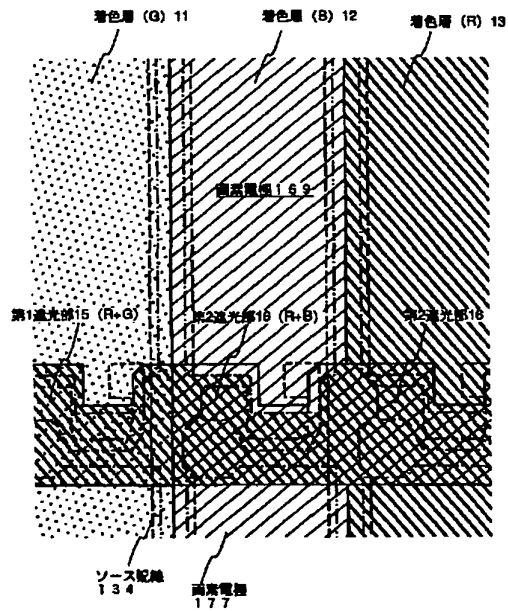
【図11】



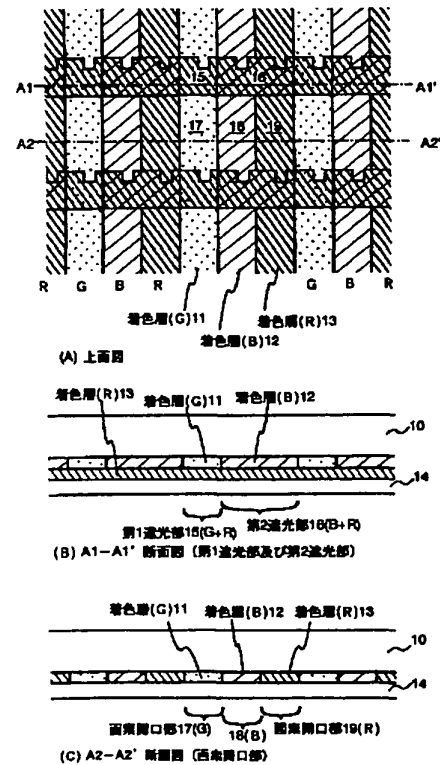
【図10】



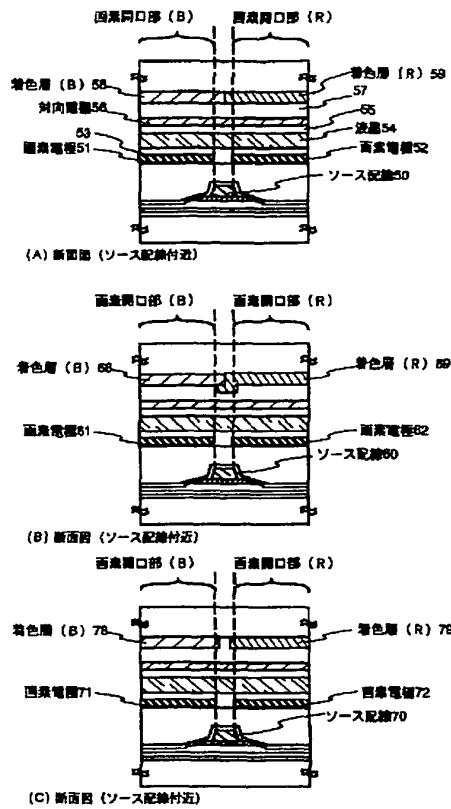
【図12】



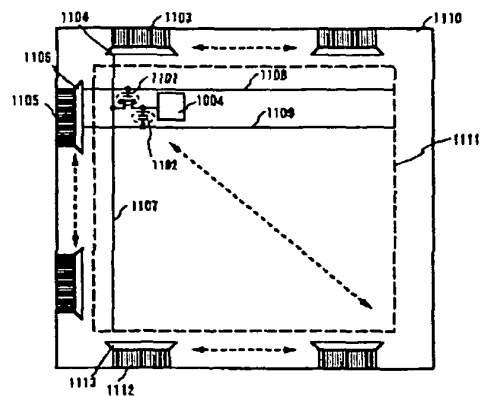
【図13】



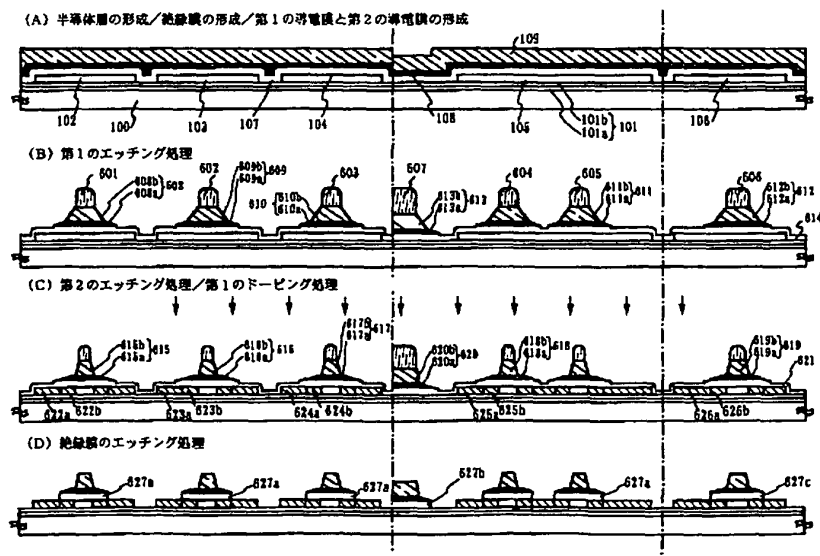
【図14】



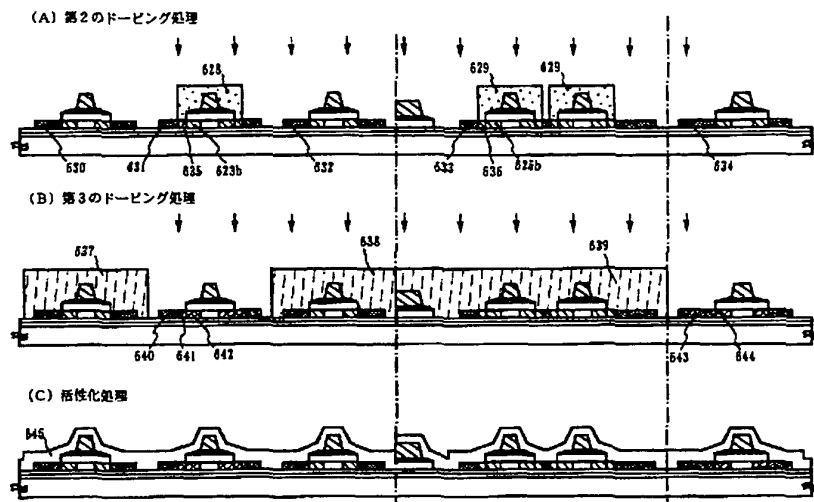
【図24】



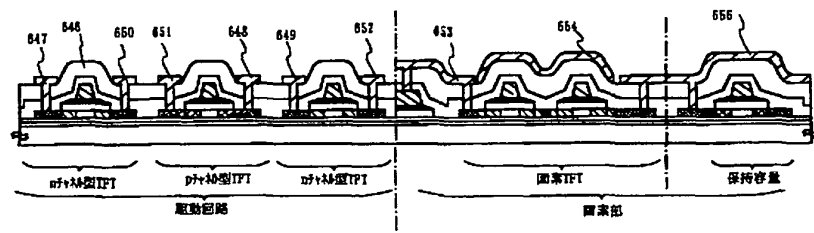
【図15】



【図16】



【図17】



【図18】

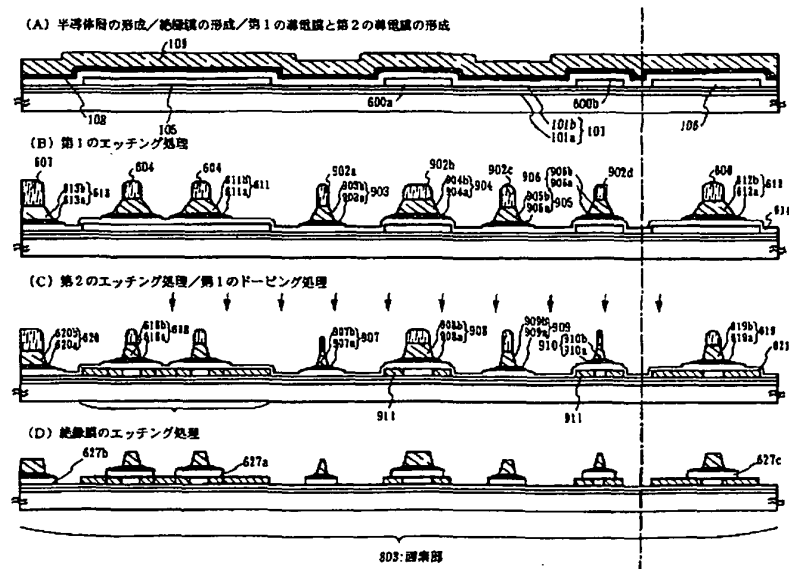
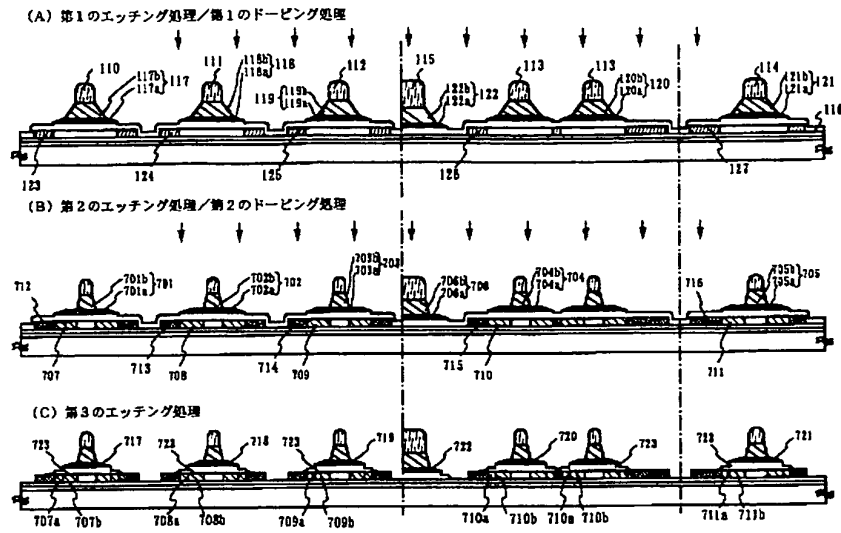
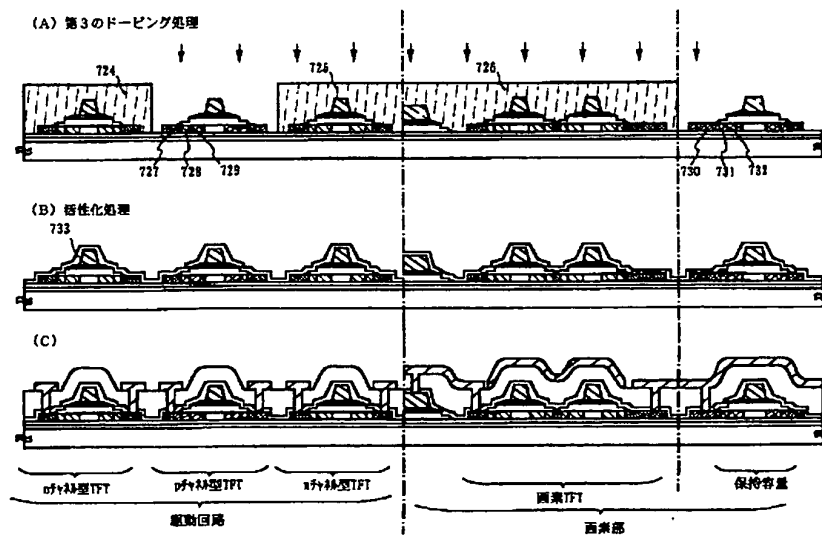


Figure 1 is a cross-sectional diagram of a liquid crystal display (LCD) panel. The diagram shows a substrate with a series of protrusions (800:凸部) and recesses (801:凹部). A layer of liquid crystal (802:保持容量) is shown above the substrate. Arrows indicate the direction of light (入射光) entering the panel. The diagram is labeled with 801:凹部TFT, 800:凸部, 801:凸部, and 802:保持容量.

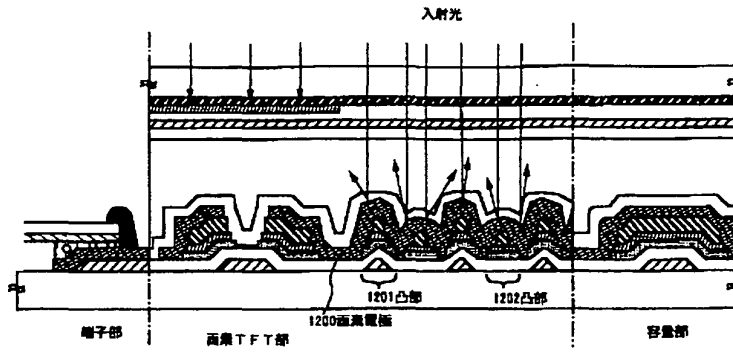
【図21】



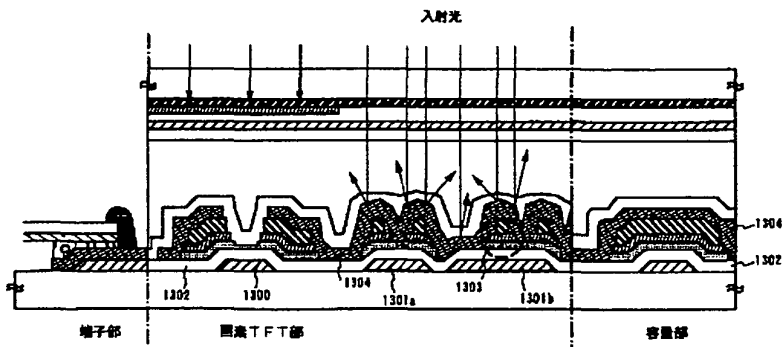
【図22】



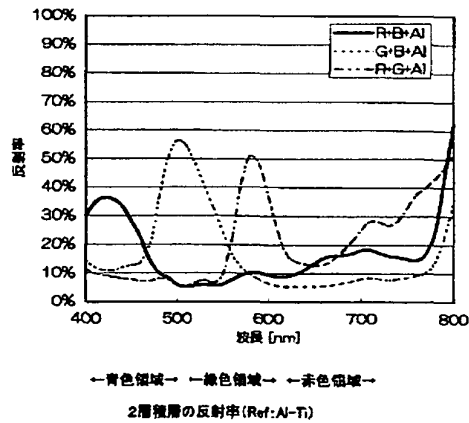
【図25】



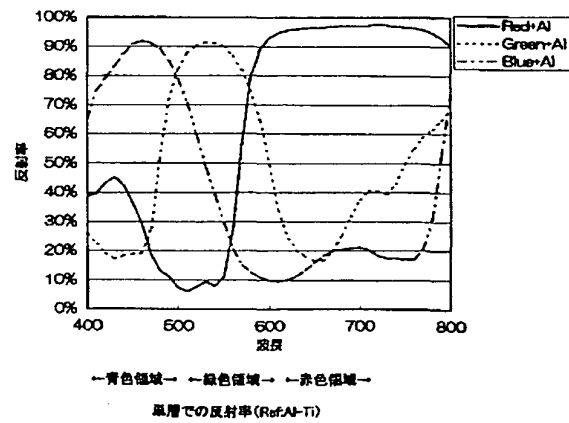
【図26】



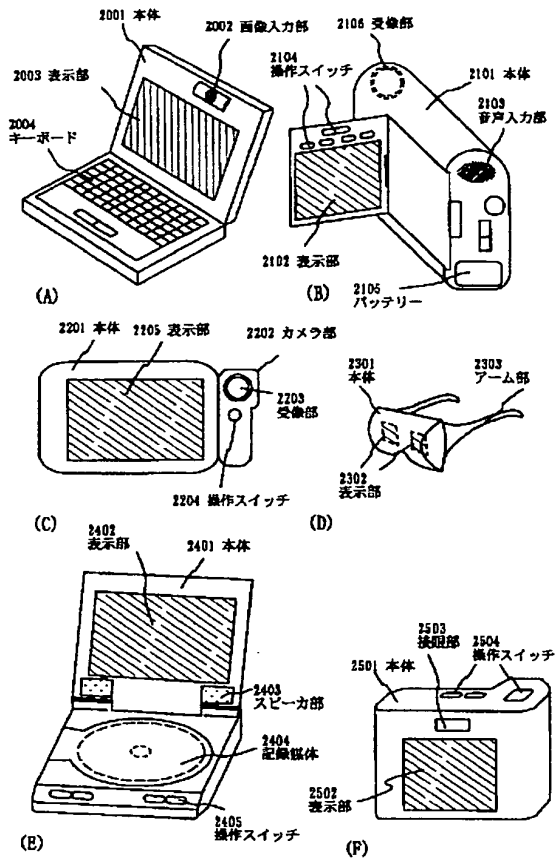
【図29】



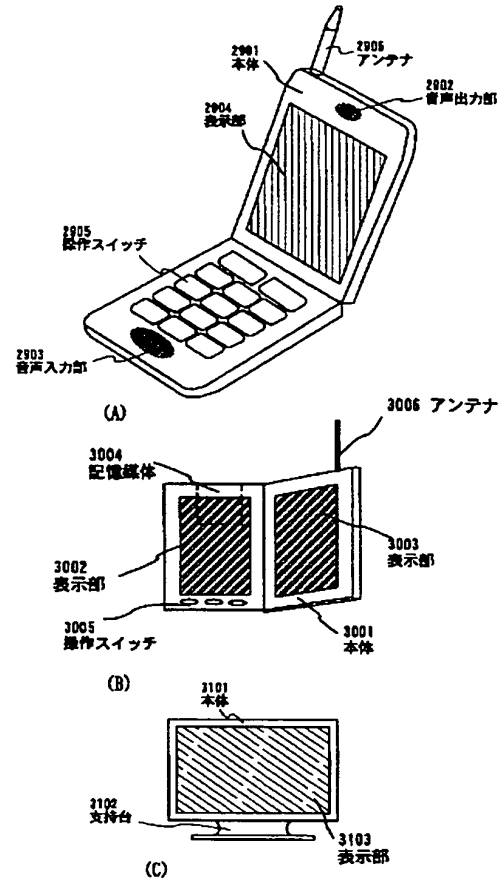
【図30】



【図27】



【図28】



フロントページの続き

Fターム(参考) 2H091 FA02Y FA16Y FA34Y FC25
GA02 GA07 GA13 LA12 LA18
LA19
2H092 JA25 JB05 JB07 KA05 KA18
KB25 MA05 MA27 MA30 NA01
NA27
5F033 GG04 HH08 HH10 HH14 HH18
JJ01 JJ08 JJ10 JJ14 JJ18
KK04 KK05 KK08 KK09 KK11
KK12 KK18 KK19 KK20 KK21
KK23 KK32 LL04 MM05 MM13
MM19 MM26 NN06 NN07 PP06
PP15 QQ00 QQ03 QQ08 QQ09
QQ10 QQ12 QQ16 QQ34 QQ37
QQ58 QQ65 QQ71 QQ73 QQ82
QQ83 QQ98 RR04 RR06 RR08
RR21 SS15 TT02 TT04 VV15
XX32 XX33 XX34
5F110 AA30 BB02 BB04 CC02 CC07
DD01 DD02 DD03 DD05 DD13
DD14 DD15 DD17 EE01 EE02
EE03 EE04 EE09 EE14 EE23
EE44 EE45 FF02 FF04 FF09
FF28 FF30 FF36 GG01 GG02
GG13 GG14 GG15 GG25 GG32
GG43 GG45 GG47 HJ01 HJ04
HJ12 HJ13 HJ23 HK08 HK15
HK16 HK21 HK33 HK35 HL04
HL06 HL11 HM15 NN03 NN04
NN22 NN23 NN24 NN27 NN34
NN35 NN44 NN72 NN73 PP03
PP10 PP29 PP34 PP35 QQ09
QQ23 QQ24 QQ25 QQ28